

(11)Publication number : 02-196462
(43)Date of publication of application : 03.08.1990

(21)Application number : 01-016002 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 24.01.1989 (72)Inventor : ARAI HAJIME
ARITA HIDENORI
MIYATA KAZUAKI

<http://www19.ipdl.inpit.go.jp/PA1/result/detail/main/wAAArWaaaPDA402196462...> 2009/05/01

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-196462

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月3日

H 01 L 27/115
29/788
29/792

8624-5F H 01 L 27/10 4 3 4
7514-5F 29/78 3 7 1

審査請求 未請求 請求項の数 1 (全5頁)

⑬ 発明の名称 半導体装置

⑯ 特 願 平1-16002

⑰ 出 願 平1(1989)1月24日

⑱ 発 明 者 新 井 肇 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 有 田 英 徳 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 発 明 者 宮 田 和 明 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

EPROMにおいて、実際に機能するメモリトランジスタのゲートの外周部に、実際には機能しないメモリトランジスタのダミーゲートを前記ゲートの最端のパターンに隣接して設けたことを特徴とする半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、半導体装置、特にEPROM(Erasable and Programmable Read Only Memory)の歩留り向上に関するものである。

(従来の技術)

第3図に自己整合的にフローティングゲートを形成した従来のEPROMのメモリセルを示す。

第3図において、1は分離酸化膜領域、2は分離酸化膜が形成されていない活性領域、3はコントロールゲート、4はフローティングゲート、5

はビット(ドレイン)コンタクト、6はソースコンタクト、7は第1のポリシリコンパターン、9a、9bは前記コントロールゲート3に直交するアルミ配線等により形成されるビットラインおよびソースラインである。

次に製造フローの概略を以下に示す。

まず、LOCOS(Local Oxidation of Silicon)法により、分離酸化膜を形成する。

次に、ゲート酸化膜を形成した後、第1のポリシリコンを堆積し、写真製版処理、ポリシリコンのエッチングを行って第1のポリシリコンパターン7を形成する。

さらに、第1のポリシリコンの酸化、第2のポリシリコン(またはポリサイド)の堆積を行い、写真製版処理、ポリシリコン(ポリサイド)エッチング、酸化膜エッチング、ポリシリコンエッチングを続けて行うことによって、コントロールゲート3およびこれと自己整合的に形成されたフローティングゲート4を作る。なお、第2のポリシリコンの代わりにポリサイド(高融点金属シリサ

特開平2-196462(2)

イドとポリシリコンの2層膜)を用いてもよい。

次に、PSG (Phospho Silicate Glass), BPSG (Boro Phospho Silicate Glass)等の絶縁膜層を堆積後、写真製版処理、エッチングによりコンタクトホールを形成する。

EPROMに書き込みを行うには、ソースライン9bを接地し、書き込みを行おうとするビットに対応するビットライン9a,ワードライン(コントロールゲート3)を選択し、ビットライン9aに電圧を印加しながらワードラインに電圧パルスを与えて、ドレイン近傍の高電界により発生したホットエレクトロンをフローティングゲート4中に注入し蓄積する(第4図参照)。すなわち、これにより、第5図に示すようにそのビットのしきい値電圧がコントロールゲート3から見た時に V_{th0} から $V_{th'}$ に上がる。このようにして V_{th0} と $V_{th'}$ の間にしきい値電圧を設定し、書き込み判定電圧を印加することにより、そのビットが書き込まれているかどうかを判断することができる。書き込み速度は、高集積化につれて高速化が要求されて

いるが、その決定要因には、ホットエレクトロンの発生量、フローティングゲートの電位などがある。

フローティングゲートの電位は、基板-第1のポリシリコン間と第1のポリシリコン-第2のポリシリコン間との容量分割比で決定され、ゲートにかかるパルス電圧、ゲート酸化膜および第1,第2ポリシリコン間酸化膜の膜厚とそれらの酸化膜の面積により決まる。

ホットエレクトロン発生量は電界強度に依存しており、電界強度はドレイン印加電圧、メモリトランジスタゲート長、ドレイン拡散層濃度、基板濃度等により決まる。

近年のIMEPRROMでは、メモリトランジスタゲート長は $1.0 \sim 1.5 \mu m$ 程度となっており、プロセス上発生する寸法のばらつき($0.1 \sim 0.2 \mu m$ 程度)の書き込み特性に与える影響が大きくなっている。

[発明が解決しようとする課題]

第3図に示したような従来のメモリセルパター

ンでは、メモリセル内部では繰り返しパターンとなっているが、メモリセル最外周では繰り返しパターンとならず、端のメモリトランジスタゲート長 L_1 がそれ以外のメモリトランジスタゲート長 $L_2 \sim L_5$ よりも $0.1 \mu m$ 程度短くなり、メモリトランジスタ特性が異なったものとなっていた。一般にメモリトランジスタゲート長が適正値よりも長くなるとホットエレクトロンが発生しにくくなり、書き込み速度が遅くなるが、逆にゲート長が短くなりすぎても、ソース・ドレイン間の耐圧が無くなり、読出し時に非選択ビットのトランジスタでも電流が流れてしまい、読出しエラーが発生する。このため、端のメモリトランジスタでゲート長が変わることは全体のメモリトランジスタの特性ばらつきを大きくし、生産管理上大きな問題となっていた。

この発明は、上記のような問題点を解消するためになされたもので、特性のばらつきが生じにくい構造の半導体装置を得ることを目的とする。

[課題を解決するための手続]

この発明に係る半導体装置は、実際に機能するメモリトランジスタのゲートの外周部に、実際には機能しないメモリトランジスタのダミーゲートを前記ゲートの最端のパターンに隣接して設けたものである。

[作用]

この発明においては、製造過程においてダミーゲートのゲート長が変化する場合でも、実際に機能するメモリトランジスタのゲート長が変化しにくくなる。

[実施例]

以下、この発明の一実施例を図について説明する。

第1図はこの発明の半導体装置の一実施例を示す上面図である。

第1図において、第3図と同一符号は同一のものを示し、8は最外周の形成されたダミーゲートである。

次に製造フローを説明する。

この発明においても従来例と同様に分離酸化膜

特開平2-196462(3)

領域1, 活性領域2をLOCOS法により形成し、ゲート酸化、第1のポリシリコン堆積を行う。次に第1のポリシリコンのパターニングを行うが、このとき第1図に示したように第1のポリシリコンパターン7を分離酸化膜領域1上まで延在させる。続いて第1のポリシリコン酸化、第2のポリシリコン(またはポリサイド)堆積を行い、コントロールゲート3, ダミーゲート8のレジストパターンを形成、ポリシリコン(ポリサイド)エッチング、酸化膜エッチング、ポリシリコンエッチングを連続して行う。これにより、実際にEPROMとして機能するメモリセルを持つコントロールゲート3と同時に、実際には機能しないが類似した断面構造を持つダミーゲート8が形成される。

このように最外周部にダミーゲート8を設けることにより、実際に機能するコントロールゲート3のゲート長 $L_1 \sim L_5$ のばらつきを小さく抑えることができる。これはダミーゲート8によりメモリセル端の特殊性を抑えたことの効果で、その要因としては次のようなものが挙げられる。

① 第1のポリシリコンパターン7を延長したことにより、下地の段差がメモリセル内に近くなる。

② メモリセル内と同様に隣にパターン(ダミーゲートパターン)があることにより、レジストの現像時にメモリセル内と同じように現像が進む。

③ ポリシリコンエッチング時にダミーゲート8もエッチングされることにより、メモリセル内と似た雰囲気になり、端だけがサイドエッチングが進むのを抑えることができる。

さらに、セル内と同じ構造になるように分離酸化膜パターンも加え、第2図(a)に示すようにしてもよい。また、逆に効果は小さくなるが、第2図(b)に示すように、第1のポリシリコンパターン7は従来のままで、第2のポリシリコン(またはポリサイド)パターンのみを追加してもよい。

理想的には、メモリセルの外周に実際と同じメモリセルパターンを設け、そのセルは実際には使わないようにすれば、端ビットの特殊性は防止す

ることができるが、この発明に比べると場所を取ることになる。この発明はより簡易に同様の効果を得ようとしたものである。

〔発明の効果〕

この発明は以上説明したとおり、実際に機能するメモリトランジスタのゲートの外周部に、実際には機能しないメモリトランジスタのダミーゲートを前記ゲートの最端のパターンに隣接して設けたので、実際に機能するメモリトランジスタのゲート長を均一にすることができ、メモリトランジスタ特性のばらつきを、最少限度のスペースを取るだけでより小さくすることができるという効果がある。

4. 図面の簡単な説明

第1図はこの発明の半導体装置の一実施例を示す上面図、第2図はこの発明の他の実施例を示す上面図、第3図は従来の半導体装置のメモリセル端のパターンを示す上面図、第4図はEPROMメモリトランジスタの概要を示す断面構成図、第5図はEPROMメモリトランジスタの書き込み

前後のV-I特性を示す図である。

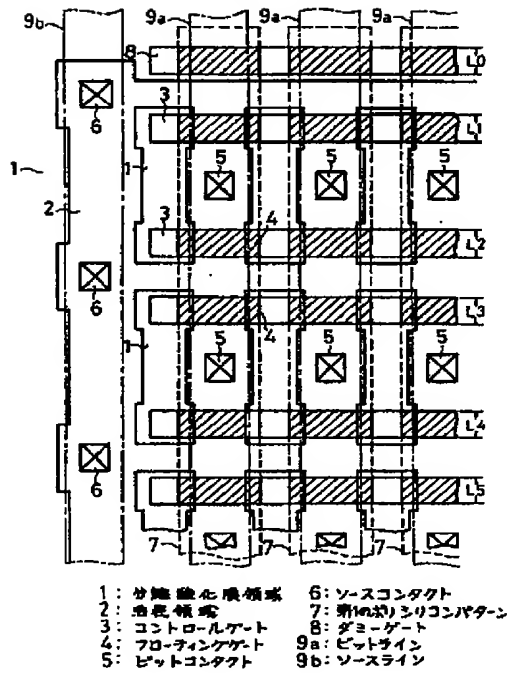
図において、1は分離酸化膜領域、2は活性領域、3はコントロールゲート、4はフローティングゲート、5はビットコンタクト、6はソースコンタクト、7は第1のポリシリコンパターン、9aはビットライン、9bはソースラインを示す。

なお、各図中の同一符号は同一または相当部分を示す。

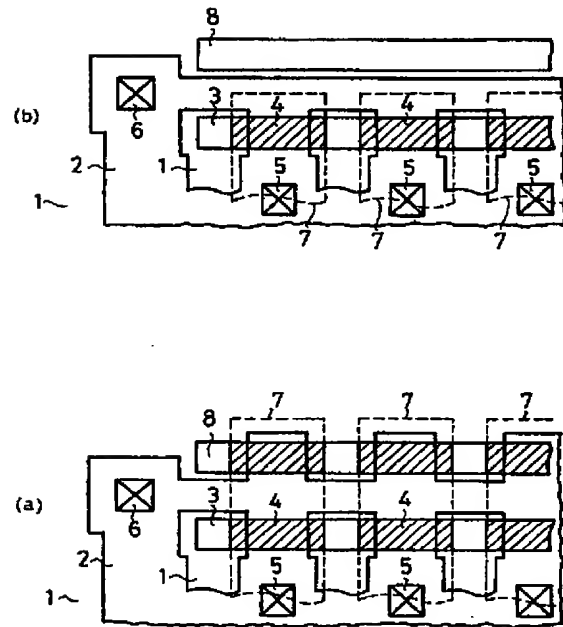
代理人 大 岩 増 雄 (外2名)

特開平2-196462(4)

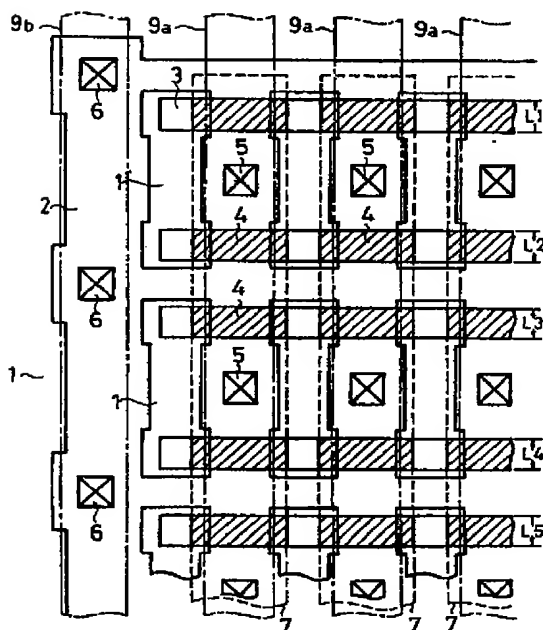
第 1 図



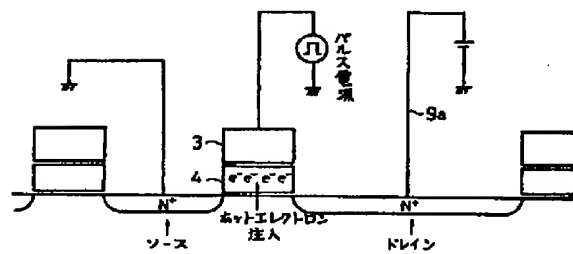
第 2 図



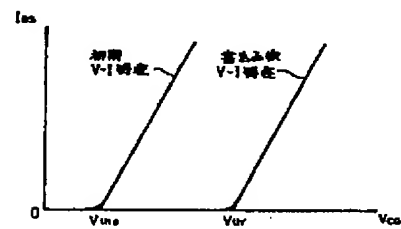
第 3 図



第 4 図



第 5 図



特開平2-196462(5)

手続補正書(自発)



平成2年4月10日

特許庁長官殿

1. 事件の表示 特願 平 1-16002号
2. 発明の名称 半導体装置



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書の第4頁14行の「IMEPROM」を、
「1MEPROM」と補正する。

以上

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代理人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

方式
審査